

R E P U B L I C O F F R A N C E

ORDER RECEIVED
11.05.05 06102
Cabinet Beau de Loménie

INPI
NATIONAL INSTITUTE OF
INDUSTRIAL PROPERTY

[STAMP: TO BE PASTED MANDATORY RESPONSE TO
ONTO THE RESPONSE] : THE PRELIMINARY RESEARCH
REPORT

CABINET BEAU DE LOMENIE
158 RUE DE L UNIVERSITE
75340 PARIS CEDEX 07

APPLICATION FOR: A PATENT
NO : 03144383000 OF 09/12/03
YOUR REF: 3J186870/127FRO

PARIS, MAY 09 2005

SUBJECT: NOTIFICATION OF A PRELIMINARY RESEARCH REPORT
WITH MANDATORY RESPONSE.

Dear Sir or Madam,

It is my privilege to send you (attached) **the preliminary research report** for the above-cited patent application. This report cites the documents that may be taken into account in evaluating the novelty and inventiveness of the invention found in your patent application.

Pursuant to the provisions of Articles R. 612-57 to R. 612-60 of the Intellectual Property Code, you have a period of **three months**, starting from the date of receipt of this preliminary research report, to draw up a written response. By simple request on your part, this term can be **renewed one time** before it expires.

Your response can consist of:

- **remarks** that support current claims in order to dispute the opposing nature of the cited documents;
- **a new version of the claims**, perhaps accompanied by remarks. If you file new claims, the changes made to the claims must be indicated.

Finally, I want to draw your attention to the fact that **this response is mandatory since at least one of the documents cited matches a relevant code from category X, Y or E**. Thus, a lack of response on your part may lead to your patent application being rejected. However, such rejection will be preceded by a formal demand that you satisfy your obligation to reply within a new period of two months.

Please accept my best wishes.

For the Director of The National Institute of
Industrial Property

SIGNATURE
Martine Planche

HEADQUARTERS
INSTITUT 26, bis, rue de Saint-Petersbourg
NATIONAL DE 75800 PARIS cedex 08
LA PROPRIETE Telephone: 33 (01) 53 04 53 04

HIS PAGE BLANK . .

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 10322025
PUBLICATION DATE : 04-12-98

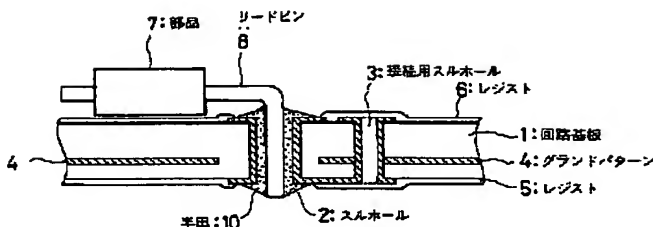
APPLICATION DATE : 20-05-97
APPLICATION NUMBER : 09129929

APPLICANT : IWAKI ELECTRON CORP LTD;

INVENTOR : YAMANAKA AKIRA;

INT.CL. : H05K 3/46 H05K 1/02

TITLE : PRINTED CIRCUIT BOARD



ABSTRACT : **PROBLEM TO BE SOLVED:** To avoid the defective soldering by diminishing the thermal relief in the case of soldering step, by a method wherein another connecting through hole to inner layer is made in addition to a through hole when the soldering step is required by inserting a lead pin of an electronic part into the through hole of a multilayered printed circuit board.

SOLUTION: A circuit board 1 is provided with a through hole 2 for connecting upper and lower side patterns, for soldering by inserting a lead pin 8 of a part 7 into the through hole 2 as well as providing another connecting through hole 3, and for connecting the upper and lower side patterns and the other pattern in the inner layer. In such a constitution, the purpose of the through hole 2 is to connect the upper and lower side patterns and to insert a lead pin 8 of a part 7 into the through hole 2 for soldering step. The purpose of the other connecting through hole 3 is to connect the upper and the lower sides as well as the inner layer patterns in small diameter for electrically, for mutually connecting the upper and the lower sides as well as the inner layer patterns.

COPYRIGHT: (C)1998,JPO

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-322025

(43) 公開日 平成10年(1998)12月4日

(51) Int.Cl.⁶

識別記号

F I

H 0 5 K 3/46

H 0 5 K 3/46

N

1/02

1/02

Z

N

審査請求 未請求 請求項の数 3 O L (全 4 頁)

(21) 出願番号

特願平9-129929

(22) 出願日

平成9年(1997)5月20日

(71) 出願人 390022792

いわき電子株式会社

東京都港区新橋5丁目36番11号

(72) 発明者 山中 明

東京都港区新橋5丁目36番11号 いわき電子株式会社内

(74) 代理人 弁理士 岡田 守弘

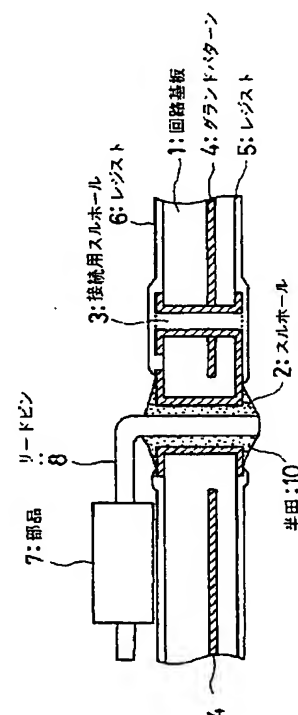
(54) 【発明の名称】 プリント回路基板

(57) 【要約】

【課題】 本発明は、内層にグラウンド、電源あるいは信号パターンを有し、スルホールによって表、裏および内層を接続するプリント回路基板に関し、多層プリント回路基板のスルホールに電子部品のリードピンを挿入して半田付けする必要があるときに、スルホールの他に内層への接続用スルホールを設けて電氣的に接続を行う構造とし半田付け時の熱の逃げを軽減して半田付け不良の発生を無くし半田付け手直しなどの工数を削減することを目的とする。

【解決手段】 基板の表のパターン、裏のパターンを接続すると共に、電子部品のリードピンを挿入して接続するスルホールと、スルホールに接続した表あるいは裏のパターンと内層のグラウンド、電源あるいは信号パターンを接続する接続用スルホールとを備えるプリント回路基板である。

本発明の1実施例構造図(断面)



【特許請求の範囲】

【請求項1】内層にグラウンド、電源あるいは信号パターンを有し、スルホールによって表、裏および内層を接続するプリント回路基板において、

上記基板の表のパターン、裏のパターンを接続すると共に、電子部品のリードピンを挿入して接続するスルホールと、

上記スルホールに接続した表あるいは裏のパターンと上記内層のグラウンド、電源あるいは信号パターンを接続する接続用スルホールとを備えたことを特徴とするプリント回路基板。

【請求項2】上記スルホールと上記接続用スルホールとを接続する接続パターンについて、熱抵抗を大とするように若干細くしたことを特徴とする請求項1記載のプリント回路基板。

【請求項3】上記スルホールと上記接続用スルホールとを接続する接続パターンについて、半田フローに浸して半田付けする側の上記基板の表あるいは裏に設けたことを特徴とする請求項1あるいは請求項2記載のプリント回路基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、内層にグラウンド、電源あるいは信号パターンを有し、スルホールによって表、裏および内層を接続するプリント回路基板に関するものである。

【0002】

【従来の技術】従来、多層のプリント回路基板にスルホールを形成し、スルホール内にメッキを施してプリント回路基板の表裏のパターンおよび内層のパターンとを電気的に導通させている。この多層プリント回路基板のスルホールに、実装する電子部品のリードピンを挿入し、半田フローで半田付けするようにしていた。

【0003】

【発明が解決しようとする課題】上述したように多層のプリント回路基板のスルホールに電子部品のリードピンを挿入して半田付けを図3の(a)に示すようにしていたため、図3の(b)に模式的に示すように当該多層のプリント回路基板の内部の層（例えばグラウンド、電源、あるいは信号パターン）がスルホールの途中で接続されていた場合、半田付け時に熱が当該内部の層のパターンを経て逃げてしまい（熱が拡散してしまい）半田が半田フローに浸したと反対側の図示上側に半田が十分に到達しなく、半田付け後、半田付け自動検査装置で半田付け状態を検査した場合に、外観上未半田付けと判定されてしまうという問題があった。また、図3の(a)に模式的に示したような半田付け状態は、スルホールに挿入したリードピンのどの部分までが半田付けされているかを外観上判断できないという問題があり、半田状態の信頼性からも半田付け不良と判定されている。このため、半

田付け不良として不良部分に半田をつけたす修正が必要となってしまう、手直し工数の増加となるという問題が発生した。

【0004】本発明は、これらの問題を解決するため、多層プリント回路基板のスルホールに電子部品のリードピンを挿入して半田付けする必要があるときに、スルホールの他に内層への接続用スルホールを設けて電気的に接続を行う構造とし半田付け時の熱の逃げ（熱の拡散）を軽減して半田付け不良の発生を無くし半田付け手直しなどの工数を削減することを目的としている。

【0005】

【課題を解決するための手段】図1を参照して課題を解決するための手段を説明する。図1において、回路基板1は、多層の電子部品を実装する回路基板であって、スルホール2、接続用スルホール3などを設けたものである。

【0006】スルホール2は、回路基板1の表および裏のパターンを接続して部品7を当該スルホール2に挿入して半田付けするものである。接続用スルホール3は、回路基板1の表あるいは裏のパターンと内層のパターンとを接続するものである。

【0007】次に、構造を説明する。スルホール2によって回路基板1の表のパターンおよび裏のパターンを接続すると共に、接続用スルホール3によって当該スルホール2に接続した表あるいは裏のパターンと内層のグラウンド、電源あるいは信号パターンとを接続した状態で、部品7のリードピン8を当該スルホール2に挿入して半田付けするようにしている。

【0008】この際に、スルホール2と接続用スルホール3とを接続する接続パターンについて、熱抵抗が大となるように若干細くするようにしている。また、スルホール2と接続用スルホール3とを接続する接続パターンについて、半田フローに浸して半田付けする側の回路基板1の表あるいは裏に設けるようにしている。

【0009】従って、多層プリント回路基板のスルホール2に電子部品のリードピン8を挿入して半田付けする必要があるときに、スルホール2の他に内層への接続用スルホール3を設けて電気的に接続を行う構造とすることにより、半田付け時の熱の逃げを軽減して半田付け不良の発生を無くし半田付け手直しなどの工数を削減することが可能となる。

【0010】

【発明の実施の形態】次に、図1および図2を用いて本発明の実施の形態および動作を順次詳細に説明する。

【0011】図1は、本発明の1実施例構造図を示す。これは、回路基板1の断面図を示す。図1において、回路基板1は、スルホール2を設けて表と裏のパターンを接続したり、スルホール2に部品7のリードピン8を挿入して半田付けしたり、接続用スルホール3を設けて表、裏および内層のパターンを接続したりなどするもの

である。

【0012】スルホール2は、表と裏のパターンを接続したり、当該スルホール2に部品7のリードピン8を挿入して半田つけしたりなどするためのものである。ここでは、スルホール2は、図示のように、表と裏のパターンを電氣的に接続および部品7のリードピン8を挿入して半田つけするためのものであり、内層のパターンと接続しないようにし、半田つけ時に熱が逃げて加熱不足となって従来の図3の(a)に示す半田つけ不良(半田フローに浸した面と反対側の図示上側に良好な半田フィレットが形成されない状態)が発生しないようにしたものである。スルホール2と内層のパターンとの接続は、本発明によって新たに設けた小径の接続用スルホール3によって行う。

【0013】接続用スルホール3は、表、裏、内層のパターンを接続するためのものであって、ここでは、小径のスルホールであり、回路基板1の表、裏、内層のパターンを電氣的に相互に接続するものである。

【0014】グランドパターン4は、内層のパターンの例であって、他に電源パターン、信号パターンなどがある。レジスト5、6は、接続用スルホール3などの配線パターンを被う絶縁膜である。

【0015】部品7は、回路基板1上に実装しようとする電子部品である。リードピン8は、部品7のリードピンであって、ここでは、スルホール2に挿入して半田つけしようとするものである。

【0016】半田10は、半田フローによって半田つけたものであって、図示のような良好な半田フィレットを形成したものである。次に、構成を説明する。

【0017】(1) 回路基板1上にスルホール2を設けて部品7のリードピン8を挿入して半田つけして部品7を実装する。この場合、当該スルホール2と回路基板1の内層のパターン(グランドパターン4)との接続をなしにする。

【0018】(2) (1)でスルホール2と回路基板1の内層のパターンとの接続をなしにした代わりに、回路基板1に小径の接続用スルホール3を設けて、当該スルホール2と当該接続用スルホール3とを接続パターンで接続し、該接続用スルホール3によって内層のパターン(グランドパターン4、電源パターン、信号パターン)と接続する。

【0019】(3) 回路基板1のスルホール2内に部品7のリードピン8を挿入するなどして半田つけする部品を回路基板1上に取り付ける。

(4) (3)の状態では半田フローによって図1図示のように半田つけする。

【0020】以上によって、スルホール2の内部のリードピン8との隙間に半田が入り込み、更に表面張力などによって図示のような良好な半田フィレットを形成して固化する。そして、検査時にビデオカメラで撮影した半

田つけした部分の所定の光源の反射画像が得られ、正常に半田つけされていると判断され、従来の図3の(a)のように所定の光源の反射画像が得られなく半田つけ不良と判定されることがなくなる。

【0021】図2は、本発明の説明図を示す。図2の(a)は、図1のスルホール2および接続用スルホール3の詳細な断面図を示す。ここでは、下側が半田フローに接触させて半田つけさせる面であって、その反対側の上面にスルホール2と接続用スルホール3との配線パターンに切れ目を入れて熱放散を防止したものである。スルホール2と接続用スルホール3とを接続する配線パターン31は、半田フローと接触させる下側の配線パターンで接続している。これにより、スルホール2の特に半田フローから離れて位置する図示上側の部分からの熱放散を低減し、従来の図3の(a)のように半田の浸透不良(フィレット形状不良)が発生しないようにしたものである。

【0022】図2の(b)は、スルホール2および接続用スルホール3による内層のパターンへの接続の様子を模式的に示す。ここで、実線は、回路基板1の内層のパターンを示し、点線はスルホール2の回路基板1のここでは裏の接続用パターン31(図2の(a)の下側の面)を示す。

【0023】部品7のリードピン8はスルホール2の穴の内部に挿入し、当該スルホール2とは、回路基板1の下側の接続用パターン31によって接続用スルホール3に接続し、当該接続用スルホール3を通して回路基板1の内層のパターンに接続するようにしている。これにより、部品7のリードピン8の半田つけ時に、従来の図3の(a)に示すようなスルホール2から内層パターンを経て伝わる熱放散をなくし、図3の(a)に示すような半田つけ不良が発生する事態を解消することが可能となる。

【0024】

【発明の効果】以上説明したように、本発明によれば、多層プリント回路基板のスルホール2に電子部品のリードピン8を挿入して半田つけする必要があるときに、スルホール2の他に内層への接続用スルホール3を設けて電氣的に接続を行う構造を採用しているため、スルホール2に挿入したリードピン8の半田つけ時の熱の逃げを軽減して半田つけ不良の発生を無くし、半田付け手直しなどの工数を削減することができる。これにより、

(1) 半田こて等で従来の不良部に半田をつけたす修正工程がなくなり、生産性が向上する。

【0025】(2) 実装されている電子部品に修正工程による過度の熱ストレスを加えることがなくなり、電子部品の信頼性を損なうことがない。

(3) 半田つけ温度(半田フロー時の半田温度)を過度に高くする必要がなくなり、回路基板の熱劣化に伴う耐湿性や絶縁耐性の低下を防止できる。

THIS PAGE BLANK (USPTO)

【図面の簡単な説明】

【図1】本発明の1実施例構造図である。

【図2】本発明の説明図である。

【図3】従来技術の説明図である。

【符号の説明】

1：回路基板

2：スルホール

3：接続用スルホール

4：グランドパターン

5、6：レジスト

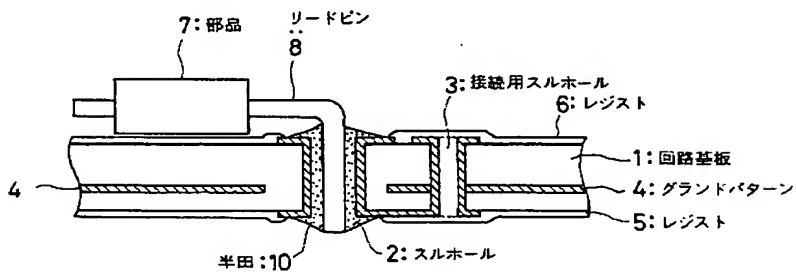
7：部品

8：リードピン

10：半田

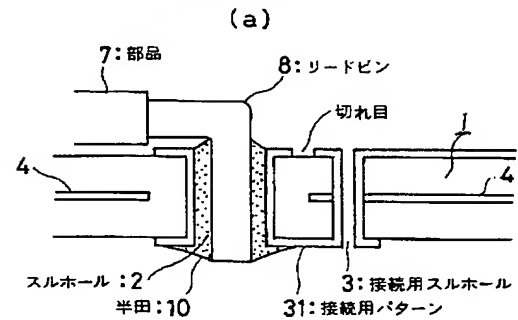
【図1】

本発明の1実施例構造図（断面）



【図2】

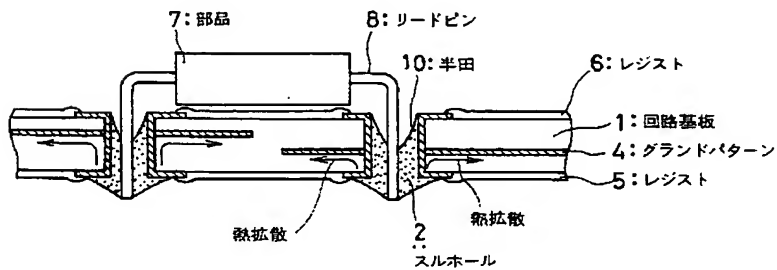
本発明の説明図



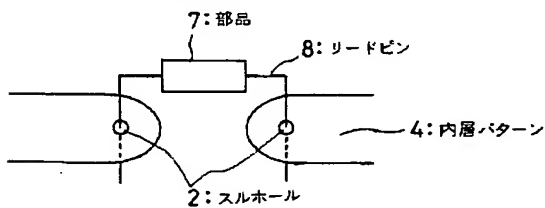
【図3】

従来技術の説明図

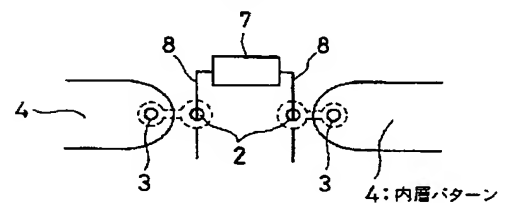
(a)



(b)



(b)



THIS PAGE BLANK (USPTO)